

Allegato B alla consultazione per il progetto dell'Application Specific Integrated Circuit Front-End (ASIC FE) per LEM-X

Requisiti dell'ASIC FE

Questo allegato contiene i principali requisiti dell'ASIC FE oggetto della fornitura.

Requisito	Natura
<p>L'ASIC dovrà</p> <ul style="list-style-type: none"> Processare la carica ricevuta dagli anodi del Silicon Drift Detector (SDD), amplificando e filtrando il segnale in ingresso con un formatore e mantenendo l'informazione con un sample and hold per la conversione in digitale; Generare un segnale di trigger quando la carica ricevuta supera la soglia selezionata; Quando il trigger viene generato internamente o ricevuto dall'esterno, la carica raccolta da ogni ASIC deve essere simultaneamente letta e "holdata"; Quando richiesto, l'ASIC deve generare la mappa di trigger, che indica per ogni canale se la carica processata è sopra o sotto la soglia del discriminatore; Quando richiesto, la carica raccolta e i valori "holdati" dovranno essere resettati e dovrà iniziare il processamento del segnale ricevuto; 	Funzionalità
<p>Come segnale in ingresso all'ASIC si assume la sovrapposizione di</p> <ul style="list-style-type: none"> Una corrente di leakage dal SDD fino ad un massimo di 3 pA. Si può considerare costante questa corrente sul tempo scala di operatività dell'ASIC; Il segnale di carica prodotto da un fotone; Un rumore di modo comune ≤ 25 e⁻ r.m.s. 	Funzionalità
<p>Se collegato ad un SDD con $80 \text{ fF} < C_{\text{det}} < 100 \text{ fF}$, $40 \text{ fF} < C_{\text{stray}} < 150 \text{ fF}$ e corrente di leakage $< 3 \text{ pA}$ (alla temperatura operativa), ogni canale dell'ASIC FE dovrà avere una Equivalent Noise Charge (ENC) ≤ 13 e⁻ r.m.s.</p>	Funzionalità
<p>L'ASIC FE dovrà essere in grado di leggere un segnale di carica nell'intervallo 0 – 20000 elettroni (corrispondente a 0 – 70 keV in Silicio). Si assume che la durata massima di questo segnale sia $< 1 \mu\text{s}$.</p>	Funzionalità
<p>A richiesta, l'ASIC FE dovrà fornire per ogni canale il valore della carica ricevuta</p>	Funzionalità
<p>L'ASIC FE dovrà permettere di selezionare il peaking time del formatore (shaper) in un intervallo tra $1 \mu\text{s}$ e $6 \mu\text{s}$</p>	Funzionalità
<p>I canali dell'ASIC FE dovranno includere un ingresso di test per la calibrazione elettronica</p>	Funzionalità
<p>L'ASIC FE dovrà permettere di abilitare e disabilitare il discriminatore di ogni singolo canale</p>	Funzionalità
<p>La soglia di trigger globale applicata a tutti i canali dovrà essere regolabile nell'intervallo 0 – 1250 elettroni (0 – 4.5 keV in Silicio) con uno step $\leq 50 \text{ eV}$ in Silicio</p>	Funzionalità
<p>La soglia di trigger di ogni canale dovrà essere regolabile in un intervallo $\pm 350 \text{ eV}$ centrato attorno al valore di soglia di trigger globale. Lo step di regolazione dovrà essere $\leq 50 \text{ eV}$</p>	Funzionalità
<p>Il numero di canali per ASIC FE dovrà essere 32.</p>	Interfaccia
<p>L'ASIC FE dovrà contenere un ingresso per un segnale di trigger esterno</p>	Interfaccia
<p>I canali dell'ASIC FE dovranno essere accoppiati in DC (DC input coupling)</p>	Interfaccia
<p>L'ASIC FE dovrà comunicare con l'elettronica esterna attraverso un protocollo seriale con linee LVDS</p>	Interfaccia

Le pad di ingresso dell'ASIC FE dovranno essere disposte su una sola fila con un pitch di 150 μm	Interfaccia
L'ASIC FE deve operare con massimo 2 linee di alimentazione indipendenti a $3.3\text{ V} \pm 0.3\text{ V}$ e massimo 1 linea di alimentazione a $2.0\text{ V} \pm 0.2\text{ V}$ oltre massa (0 V).	Interfaccia
Il reset dell'ASIC FE dovrà essere completato in un tempo $\leq 10\ \mu\text{s}$	Prestazioni
L'ASIC FE dovrà generare un segnale di trigger entro 1 μs dal picco del segnale di uscita	Prestazioni
L'ASIC FE dovrà garantire una Power Supply Ripple Rejection (PSRR) maggiore di 30 dB ad una frequenza di 100 kHz. Il requisito potrà essere garantito anche attraverso l'uso di capacità esterne con valore totale inferiore ai 250 μF .	Prestazioni
Il consumo di potenza totale dell'ASIC FE dovrà essere inferiore a 32.0 mW quando tutti i 32 canali sono abilitati ed il rate totale di conteggi al secondo è pari a 100.	Prestazioni
Il consumo di potenza totale dell'ASIC FE dovrà essere inferiore a 10.0 mW quando solo 8 canali sono abilitati ed il rate totale di conteggi al secondo è pari a 100.	Prestazioni
Le dimensioni totali dell'ASIC dovranno essere inferiori a 4.910 mm \times 3.650 mm	Prestazioni
Il design dell'ASIC FE dovrà implementare soluzioni progettuali per garantire le funzionalità quando esposto ad una Dose Totale Ionizzante (Total Ionisation Dose) di 100 krad.	Ambiente
Il design dell'ASIC FE dovrà implementare soluzioni progettuali per garantire le performance di rumore quando esposto ad una Dose Totale Ionizzante (Total Ionisation Dose) di 20 krad.	Ambiente
L'ASIC FE dovrà funzionare in un intervallo operativo di temperatura da $-65\text{ }^\circ\text{C}$ a $+30\text{ }^\circ\text{C}$ (TBC). Questo intervallo si considera come AFT (Allowable Flight Temperature range).	Ambiente