

Capitolato Tecnico per Attività di Supporto per lo Sviluppo dell'Electric Field Detector (EFD)

Sommario

REFERENCE DOCUMENTS	1
INTRODUZIONE.....	1
DESCRIZIONE GENERALE DELLE SEZIONI DIGITALI	2
Parte digitale dell'APU.....	2
CARATTERISTICHE DELL'APU	3
UNITÀ DI ELABORAZIONE DATI (DPU)	4
DESCRIZIONE DEL SERVIZIO.....	6
DEFINIZIONE SOFTWARE SOTTOSISTEMI EFD	6
DEFINIZIONE PROTOCOLLI COMUNICAZIONE TRA SCHEDE	6
DELIVERABLE	6
MILESTONE	6
TERMINI DI CONSEGNA	6
VERIFICA DI CONFORMITÀ	7

REFERENCE DOCUMENTS

- ECSS-M-ST-10C Project Planning & Implementation
- ECSS-E-ST-10C System Engineering general requirements
- ECSS-E-ST-40C Space Engineering – Software

INTRODUZIONE

L'Electric Field Detector (EFD) è uno strumento sviluppato per misurare i tre componenti del campo elettrico dalle differenze di potenziale tra tre diverse coppie di sensori.

I segnali dei sensori vengono elaborati in primo luogo da una sezione analogica e, infine, un'elaborazione digitale fornisce l'ultima suddivisione in 5 bande: ULF, ELF, VLF, VLF_E e HF.

Band	Type	Frequencies band	#channels	Sampling Frequency	Resolution (bit)	Data rate Gb / day
ULF	wave	0 – 100 Hz	4	240 Hz	20	1.7
ELF	wave	13 Hz – 2 kHz	3	4.8 kHz	20	2.5
VLF	wave + FFT	1 kHz – 50 kHz	3	120 kHz	16	62.2 + 24.9
VLF_E	wave + FFT	21 kHz – 100 kHz	3	240 kHz	12	7.5 + 9.3
HF	wave + FFT	21 kHz – 4 MHz	1	9.6 MHz	12	6.2 + 3.1

Il rilevatore è costituito da due parti (Figura 1):

1. 4 sensori identici chiamati EFP (Electric Field Probes). Ogni EFP, una sonda sferica posta all'estremità di un braccio del satellite, ha il compito di misurare il potenziale con alta precisione. Un voltage follower (amplificatore con guadagno unitario con un'impedenza di ingresso elevata) è il nucleo dell'elettronica di front-end del sensore.
2. Una scatola, all'interno del satellite, che contiene:
 - i. l'alimentatore a bassa tensione (LVPS): alimentazione e interfaccia TM / TC al satellite;
 - ii. la Analog Processing Unit (APU): una scheda dedicata all'elaborazione analogica dei segnali e al controllo EFP;
 - iii. la Digital Processing Unit (DPU): scheda di elaborazione digitale, gestione dei dati a bordo (OBDDH), controllo dell'APU e controllo del payload;
 - iv. il backplane per le interconnessioni delle schede elettroniche compresa l'elettronica dello Splitter analogico: commutazione di segnali / controlli e linee di alimentazione degli EFP tra l'elettronica calda e fredda (ridondanza).

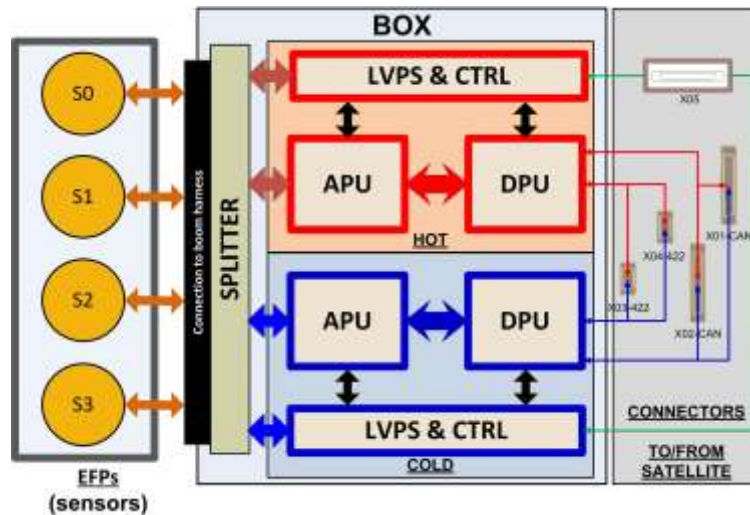


Figura 1. Schema a blocchi dell'EFD

DESCRIZIONE GENERALE DELLE SEZIONI DIGITALI

Parte digitale dell'APU

Lo schema a blocchi della sezione digitale dell'APU è mostrato nella Figura 2.

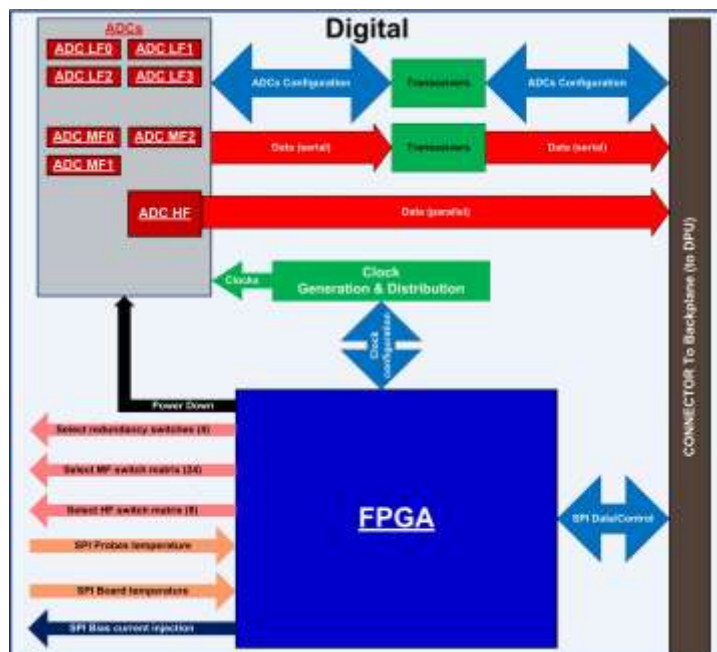


Figura 2. Schema a blocchi della DPU

Tutti gli ADC sono configurati direttamente dalla DPU. I dati generati vengono inviati direttamente a DPU, in modalità seriale per i canali LF e MF, mentre in modalità parallela per il canale HF.

Un FPGA comunica via SPI con DPU per:

- generare tutti i segnali di controllo dei blocchi di matrice di commutazione.
- guidare la modalità di spegnimento degli ADC.
- produrre la tensione di controllo della corrente di polarizzazione.
- leggere le temperature delle sonde e della scheda tramite SPI.
- configurare i clock degli ADC.

CARATTERISTICHE DELL'APU

La Tabella 1 illustra le principali caratteristiche dell'APU.

Parameter	Value
DC Input Voltage Range	± 7.3 V
LF / MF / HF max Input Voltage Range	7.3 V _p
Bias current control voltage range	± 5 V
LF DC resolution	31 bit
LF output data rate	1 ksp/s
MF ADC resolution	24 bit
MF output data rate	1 Msp/s
HF ADC resolution	16 bit
HF output data rate	128 Msp/s
Main analog input voltage	± 8 V
Operating temperature range	-40 to +85 °C

UNITÀ DI ELABORAZIONE DATI (DPU)

La DPU sarà basata sul sistema Zynq xc7z7045 su chip di Xilinx. La Figura 3 illustra lo schema a blocchi della DPU.

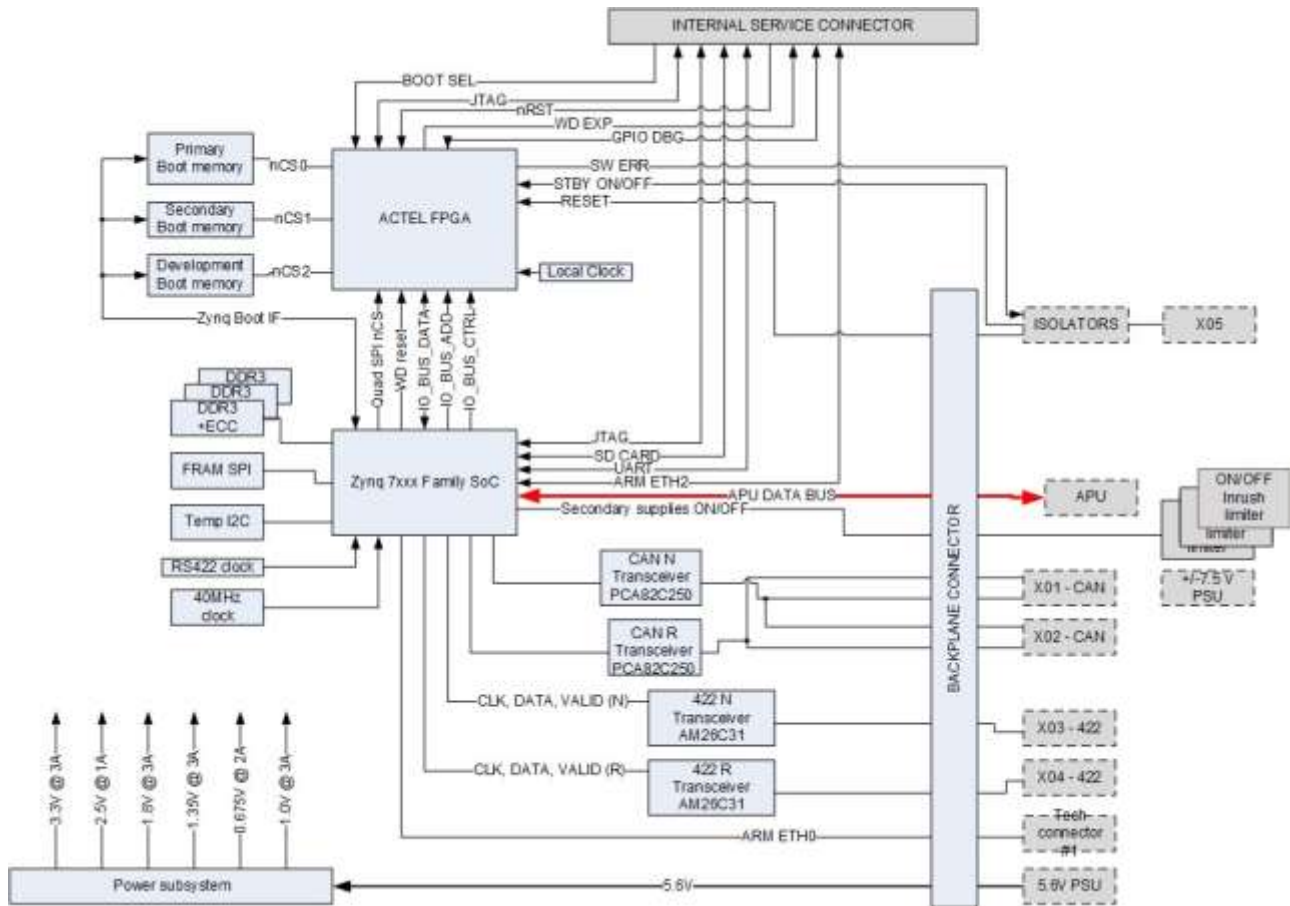


Figura 3: schema a blocchi DPU.

Come visibile in Figura 4, il SoC interfaccia direttamente i convertitori da analogico a digitale (ADC) sulla scheda APU.

Per ogni ADC è presente un'interfaccia che esegue le funzioni di: configurazione, controllo e immissione del buffer dei dati. I dati acquisiti vengono elaborati nella sezione DSP FPGA del SOC e memorizzati nella memoria dati scientifica.

L'intero sistema è controllato dal processore Soc ARM. Il processore ha il compito di gestire i collegamenti di comunicazione (CANBUS e RS422) da / verso il satellite, monitorando lo stato di salute dell'EFD e gestendo le modalità operative del rivelatore.

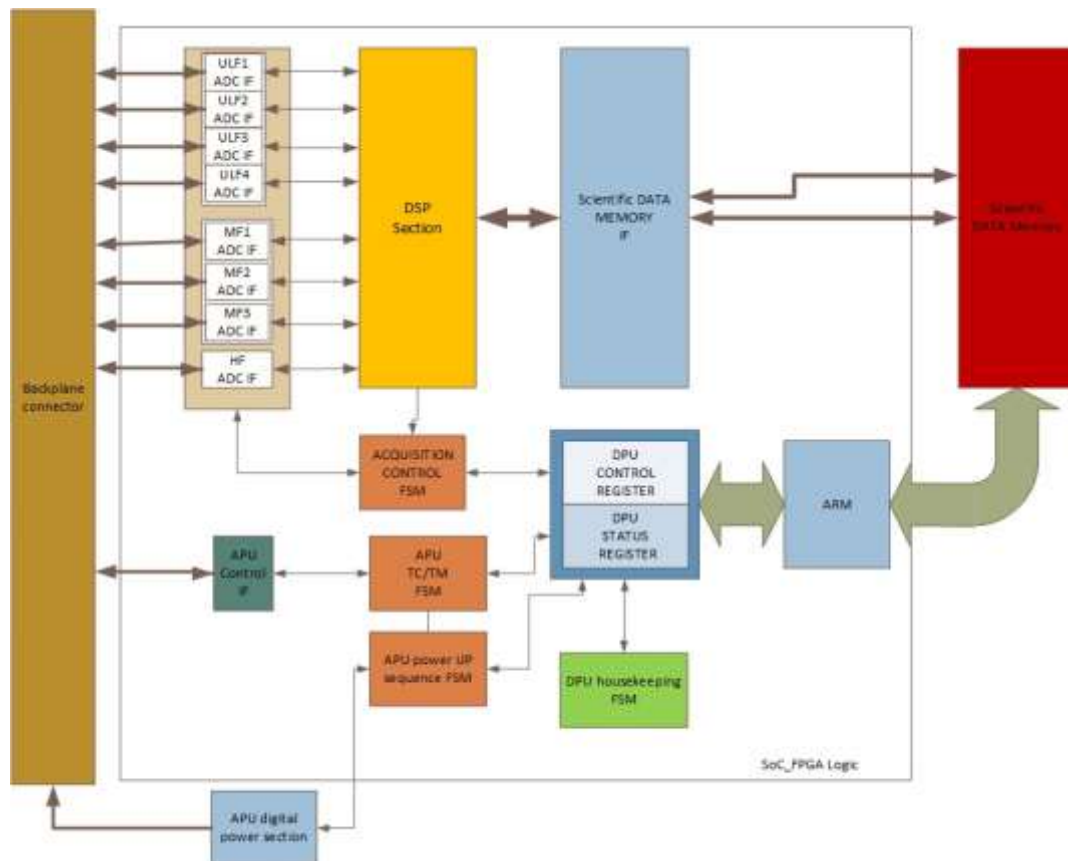


Figura 4: schema a blocchi logici SoC

Il processore attua le attività di configurazione e di gestione degli apparati attraverso i registri di configurazione e di stato. Questi registri sono il punto di scambio di informazioni tra il processore e le macchine di stato che gestiscono le parti del sottosistema. Le macchine a stati principali del sottosistema sono:

- APU TC / TM FSM: ha il compito di configurare e gestire la logica sull'APU (configurazione interruttori, configurazione iniezione di corrente) e monitorare lo stato di salute dell'APU (temperature, tensioni, ecc.)
- Sequenza di accensione APU FSM: ha il compito di accendere gli alimentatori della sezione digitale dell'APU nella sequenza corretta e segnalare eventuali problemi di accensione nel registro di stato.
- FSM Housekeeping FSM: ha il compito di monitorare gli alimentatori, le temperature e le registrazioni di stato della DPU e generare allarmi per il processore ARM.
- Controllo di acquisizione FSM: ha il compito di gestire l'avvio e l'arresto delle acquisizioni per ciascun tipo di modalità operativa dell'apparato. Comunica direttamente con le interfacce con ADC e con la sezione di elaborazione del segnale.

La comunicazione tra APU e DPU viene gestita dall'interfaccia APU (APU IF). Questo blocco ha il compito di implementare il protocollo di comunicazione per il trasporto dei dati di: configurazione, controllo e telemetria per l'APU.

DESCRIZIONE DEL SERVIZIO

DEFINIZIONE SOFTWARE SOTTOSISTEMI EFD

Sulla componente di comando e controllo dell'apparato EFD è necessario avviare un'attività di definizione delle specifiche volta a realizzare la corretta implementazione delle interfacce tra le varie schede. A tale scopo è prevista la definizione delle specifiche ed una pianificazione delle macro attività dei vari sottosistemi

OUTPUT

L'output di questa attività sarà l'emissione di un documento di pianificazione generale sugli sviluppi software.

Saranno inoltre emessi report periodici sullo stato di avanzamento delle attività in oggetto.

DEFINIZIONE PROTOCOLLI COMUNICAZIONE TRA SCHEDE

Si prevede la definizione delle interfacce e dei protocolli di comunicazione tra sottosistemi dell'apparato. L'architettura del sistema prevede che lo slow control dell'apparato sia gestito dalla scheda DPU che agisce come nodo Master in comunicazione con i nodi Slave tramite un protocollo dedicato.

Le attività previste sono:

- definizione dei comandi ed i controlli da implementare su protocollo SpaceWire su tutte le schede;
- definizione dei protocolli di comando e controllo delle singole schede con la CPU Board.

Si riporta in seguito una sintesi schematica delle funzionalità da implementare sul protocollo per le singole schede.

Scheda Descrizione funzionalità

CTRL-LV Comandi di accensione schede DPU e APU, monitoraggio del sotto sistema, lettura valori di telemetrie (stati e valori di tensione) DPU Board Comandi per la configurazione del sottosistema, gestione dei cicli di acquisizione e calibrazione, monitoraggio dei sotto sistemi, lettura valori di telemetrie, comandi per la gestione di eventuali aggiornamenti di configurazione software

OUTPUT

L'output di questo pacco di lavoro è il documento di specifica dei protocolli di comando e controllo delle singole schede.

DELIVERABLE

Il servizio oggetto del presente contratto prevede la consegna della seguente documentazione in formato .doc e .pdf redatta in lingua inglese:

[D1] Documento di definizione del software

[D2] Documento di specifica dei protocolli di comando e controllo;

MILESTONE

Sono previste le seguenti milestone di progetto:

[M1] Kick off meeting (KOM): si concordano le ipotesi di lavoro e si rivedono le specifiche.

[M2] Preliminary Design Review (PDR): si riportano il design software complessivo e una prima analisi della soluzione proposta relativa ad interfacce

TERMINI DI CONSEGNA

Il servizio dovrà essere effettuato improrogabilmente entro 3 mesi a partire dalla data di ricevimento dell'ordinativo di fornitura. Agosto escluso

VERIFICA DI CONFORMITÀ

Si verificherà che il servizio sia effettuata conformemente a quanto richiesto nel paragrafo DESCRIZIONE DEL SERVIZIO del presente Capitolato Tecnico.